

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05917020 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **10-200120** [JP 10200120 A]

PUBLISHED: July 31, 1998 (19980731)

INVENTOR(s): SHIBUYA TSUKASA

MOROSAWA NARIHIRO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 09-002717 [JP 972717]

FILED: January 10, 1997 (19970110)

INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/304

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC
MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To make a device strong against injection of hot electrons and reduce leakage current by providing the process where a surface irregularity of poly Si film is reduced with the polishing process after laser annealing.

SOLUTION: An amorphous Si film is formed by 100nm or less on an insulating substrate 1, then it is annealed to provide a poly Si film 2. Then, the poly Si film 2 crystallized by laser annealing is polished to flatten its surface. Here, the film thickness of the poly Si film is 30-50nm, while an average roughness of surface irregularity 1nm or below. Then, the obtained poly Si film 2 is etched to form a desired island, with a poly Si film 2a, after polishing, formed. Thus, the electric field concentration on a poly Si surface is reduced by flattening the poly Si surface, making it strong against injection of hot electrons to a gate insulation film, so a leakage current is reduced for a TFT of high reliability.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200120

(43) 公開日 平成10年(1998) 7月31日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

H01L 29/78

627

G

21/336

21/20

21/20

21/304

321

S

21/304

321

29/78

618

D

627 Z

審査請求 未請求 請求項の数 3 O L (全7頁)

(21) 出願番号

特願平9-2717

(22) 出願日

平成9年(1997) 1月10日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 渋谷 司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 諸沢 成浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

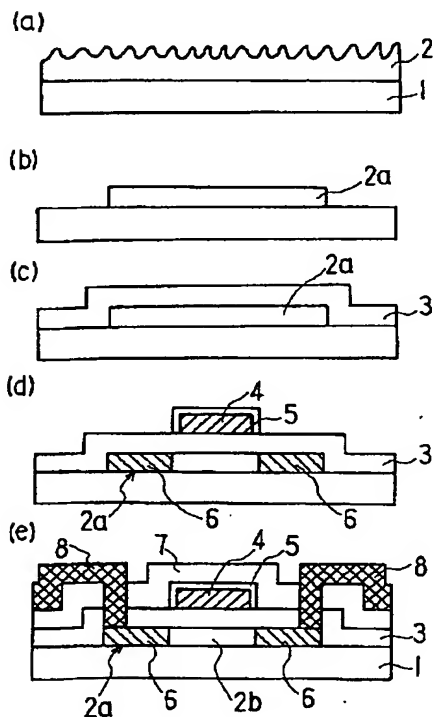
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 レーザーアニールによって得られるポリSi膜は表面性が悪いため、表面研磨によって平坦性を向上させ、平坦化したポリSi膜をチャンネルに用いることで優れたTFT特性とキャリア注入のない信頼性の優れた半導体装置を得る。

【解決手段】 レーザーアニールによって得られたポリSi膜を表面研磨処理することで、膜厚を30nm~50nmにし、ポリSi膜表面の平均面粗さ(Ra)を1nm以下にする。



【特許請求の範囲】

【請求項 1】 絶縁性基板上に形成したポリ S i 膜をチャネルとして用いる半導体装置の製造方法において、前記絶縁性基板上にアモルファス S i 膜を 100 nm 以下に形成する工程と、

前記アモルファス S i 膜をレーザーアニールによって多結晶化してポリ S i 膜とする工程と、

前記ポリ S i 膜の表面凹凸を研磨処理により低減する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 前記表面凹凸を低減したポリ S i 膜の膜厚を 30 nm～50 nm にしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記表面凹凸を低減したポリ S i 膜表面の平均面粗さ (R a) を 1 nm 以下にしたことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、より詳細には低温プロセスで製造することのできる絶縁ゲート型半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、ディスプレイやイメージセンサ等においては、コストの低廉化を図るべく安価なガラス基板を用いて、その大面積部分に薄膜トランジスタ（以下 T F T と略す）を有する半導体装置を作製することが要望されている。このガラス基板を使用する場合は、基板の軟化温度を考慮して 600℃程度の低温プロセスが必要になる。

【0003】 例えば、T F T のチャネル半導体層にポリ S i 膜を用いた場合、その T F T の製造時の熱処理温度は約 600℃以下である。この際、ポリ S i 膜を作製するためには、低温成膜が可能であるレーザーアニール法が用いられている。

【0004】 レーザーアニール法としては、例えば特公平 7-118443 号公報に示されている。これは、非晶質基板上に膜厚 10 nm～100 nm のアモルファス S i 膜を形成した後、アモルファス S i 膜表面において吸収される波長 100 nm～400 nm の短波長パルスレーザー光を照射して、そのレーザー光がアモルファス S i 膜の極表面のみで吸収され、その後熱伝導によってアモルファス S i 膜の内部が溶けて再結晶化し、或いはアニールされて結晶粒が大きくなることによりアモルファス S i 膜の多結晶化の熱処理を行うものである。

【0005】 この方法によれば、アモルファス S i 膜の極表面のみが瞬時に熱せられるため、基板への熱の影響が及びにくくなり、基板の変形を起こすことなく、アモルファス S i 膜を局部的に結晶化できるため、基板としてガラス基板のような低耐熱性基板を用いることができ、この低耐熱性基板上に形成したアモルファス S i 膜の溶融結晶化が可能となる。

【0006】

【発明が解決しようとする課題】 しかしながら、上記方法で作製されたポリ S i 膜は急速加熱による結晶化のため表面凹凸が大きくなり、T F T 特性に悪影響を及ぼす。例えば、しきい値の変動、リーク電流の増加、耐圧の低下等を招く。また、これらの表面凹凸がゲート絶縁膜へのホットエレクトロン注入の原因となるため、素子の信頼性に対しても問題となる。

【0007】 一方、上記方法で作製されたポリ S i 膜の急速加熱による結晶化のため表面凹凸を平坦化する方法が、特開平 6-163588 号公報に示されている。この方法は、絶縁性基板上にポリ S i 膜を数 μ m の膜厚で形成しておき、このポリ S i 膜の表面の数十 nm の凹凸を、コロイダルシリカ等の研磨剤を用いて、研磨布を回転させて、ポリ S i 膜の表面を化学的機械的に鏡面研磨して、表面が平坦なポリ S i 膜を得るものである。

【0008】 しかしこの方法では、最初にポリ S i 膜を数 μ m の膜厚に形成しておき、化学的機械的研磨によって、最終的には表面が平坦なポリ S i 膜を数十 nm の膜厚を形成している。このため、最初にポリ S i 膜を数 μ m の膜厚に形成した際に、ポリ S i 膜の結晶状態が膜厚方向に分布を生じることになる。よって、ポリ S i 膜の表面を化学的機械的に鏡面研磨して、表面が平坦なポリ S i 膜を得たとしても、ポリ S i 膜の結晶状態が悪く、これにより T F T 素子を構成した場合、T F T 特性が悪くなってしまうという問題があった。

【0009】 本発明は、このような問題に鑑みなされたものであり、レーザーアニールの後に研磨処理を行い、表面凹凸を低減して特性を向上させた半導体装置の製造方法及び表面凹凸の低減によりホットエレクトロンの注入に対して強くした信頼性の優れた半導体装置を得る製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】 本発明の請求項 1 記載の半導体装置の製造方法は、絶縁性基板上に形成したポリ S i 膜をチャネルとして用いる半導体装置の製造方法において、前記絶縁性基板上にアモルファス S i 膜を 100 nm 以下に形成する工程と、前記アモルファス S i 膜をレーザーアニールによって多結晶化してポリ S i 膜とする工程と、前記ポリ S i 膜の表面凹凸を研磨処理により低減する工程を備えたことを特徴としている。

【0011】 本発明の請求項 2 記載の半導体装置の製造方法は、請求項 1 記載の半導体装置の製造方法であって、前記表面凹凸を低減したポリ S i 膜の膜厚を 30 nm～50 nm にしたことを特徴としている。

【0012】 本発明の請求項 3 記載の半導体装置の製造方法は、請求項 1 または 2 記載の半導体装置の製造方法であって、前記表面凹凸を低減したポリ S i 膜表面の平均面粗さ (R a) を 1 nm 以下にしたことを特徴としている。

【0013】以下、上記構成による作用を説明する。

【0014】本発明の絶縁性基板上にポリSi膜をチャネルとして用いる半導体装置の製造方法は、前記絶縁性基板上にアモルファスSi膜を100nm以下に形成する工程と、前記アモルファスSi膜をレーザーアニールによって多結晶化してポリSi膜とする工程と、前記ポリSi膜の表面凹凸を研磨処理により低減する工程を備えているので、アモルファスSi膜を100nm以下に形成することで、レーザー結晶化の時の結晶粒の制御がしやすく、さらに研磨により平坦化したポリSi層をチャネルに用いることで、TFETのS係数を小さくすることができ、優れたTFET特性を得ることができる。また、ポリSi表面の平坦化によりポリSi表面での電界集中を低減することで、ゲート絶縁膜へのホットエレクトロンの注入に対して強くなるため、リーク電流を低減し、信頼性の優れたTFETを得ることができる。

【0015】また、前記表面凹凸を低減したポリSi膜は、膜厚を30nm以上にすることにより、ソース領域及びドレイン領域の低抵抗化が可能になり、膜厚を50nm以下にすることにより、レーザーアニールによる優れた結晶性を得ることができるので、ポリSi膜の膜厚は30nm～50nmにするのが好ましい。

【0016】また、前記表面凹凸を低減したポリSi膜は、表面凹凸の平均面粗さ(Ra)を1nm以下にしたので、TFETのS係数を著しく低減することができる。さらに、ゲート電圧の印加の際に、ポリSi表面での電界集中を抑制し、ゲート絶縁膜へのホットエレクトロンの注入を抑制する効果大きい。よって、TFETのON電圧を小さくでき、TFETのリークを防止することができる。

【0017】また、絶縁性基板上に、アモルファスSi膜を100nm以下に形成するので、レーザーアニールによって、膜厚方向に対してもグレインサイズが大きく均一に結晶化することができ、さらに、ポリSi膜の表面を研磨処理により膜厚を30nm～50nmにし、表面凹凸の平均面粗さ(Ra)を1nm以下にするので、研磨処理後のポリSi表面の結晶状態も研磨前と同様にグレインサイズが大きく均一で優れており、よって、TFETの移動度を大きくすることができ、TFET特性を良好にすることができる。さらにポリSi表面が平坦化されているため、ポリSi表面での電界集中により発生するホットエレクトロンのゲート絶縁膜への注入を抑制することができる。よって、リーク電流の低減およびゲート絶縁膜の耐圧の低下を抑制し、信頼性の高いTFETを得ることができる。

【0018】また、絶縁性基板上に、ポリSi膜を膜厚が30nm～50nmで形成し、前記ポリSi膜の表面凹凸の平均面粗さ(Ra)を1nm以下にし、前記ポリSi膜をチャネルとして半導体装置を構成したので、ポリSi膜は、結晶状態に優れ、表面状態が平坦化されて

いるため、素子特性及び信頼性に優れた半導体装置を得ることができる。さらに、この半導体装置を適用した液晶表示装置においては、画素スイッチング特性の向上、周辺駆動回路を構成するTFETの高性能化及び高集積化を図ることができ、ドライバモノリシック型の液晶表示装置においても高性能化することができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

10 【0020】図1(e)に本発明の実施の形態の一つであるTFETの断面を示す。このTFETは、チャネル半導体としてのポリSi(多結晶Si)膜を用いたTFETである。また、以下の実施の形態ではTFETについて説明するが、後述するソース、ドレインの形成を行わないことにより、ただ単にキャパシタのゲート絶縁膜として用い得ることは明白である。さらに、ゲート絶縁膜直下にVth等を調整するため適宜不純物を上記ポリSi膜に導入することも可能である。

20 【0021】絶縁性基板1上にチャネル領域2b、ソース領域6及びドレイン領域6を有する研磨処理後のポリSi膜2aが島状に形成され、その上を覆うようにゲート絶縁膜3が形成されている。このゲート絶縁膜3はF原子を含むSiO₂膜からなっている。その上に、チャネル領域2bと対向するようにゲート電極4及びゲート電極4の陽極酸化膜5が形成され、その上を覆うように層間絶縁膜7が形成されている。この上には、引き出し電極8が形成され、ゲート絶縁膜3及び層間絶縁膜7に形成されたコンタクトホール部においてソース領域6及びドレイン領域6と電気的に接続されている。

30 【0022】次に、本発明の実施の形態に係るTFETの製造方法を図面に基づいて説明する。

【0023】まず、図1(a)に示すように、絶縁性基板1上にポリSi膜2を形成する。この実施の形態では、約600℃の熱処理に耐え得るような歪み点温度の高いガラスを用いて、この上にプラズマCVD(Chemical Vapor Deposition)法により約300℃の基板温度でアモルファスSi膜(図示せず)を膜厚が50nm程度になるように成膜した。このアモルファスSi膜をエキシマレーザーにより基板温度400℃、レーザーパワー約250mJ/cm²程度でアニールしてポリSi膜2とした。ここで、原子間力顕微鏡(AFM)により、ポリSi膜2の表面凹凸の平均面粗さ(Ra)を測定すると5nm程度であった。

40 【0024】なお、絶縁性基板1上にアモルファスSi膜を形成する前に、基板からの不純物拡散の防止のために、SiO₂膜及びSiN膜のコーティング膜をスパッタリング法あるいはプラズマCVD法により膜厚で約500nm程度を絶縁性基板1上に形成してもよい。また、アモルファスSi膜の成膜方法は、プラズマCVD法に限らずLP(Low Pressure)CVD法

でもよい。また、レーザーアニールに用いるレーザーは、XCl、ArF、KrFのいずれのエキシマレーザーを用いてもよい。また、レーザーアニールの前にN₂雰囲気中、600℃で固相成長により、多結晶化してもよい。

【0025】次に、図1(b)に示すように、レーザーアニールにより結晶化したポリSi膜2を、アンモニア過水ベースのスラリーと酸化セシウムのパッドを用いて2分間の化学機械研磨を行い、表面を平坦化する。ここで、ポリSi膜の膜厚は35nm程度であり、表面凹凸を原子間力顕微鏡(AFM)により平均面粗さ(Ra)を測定すると0.25nm程度であった。その後、得られたポリSi膜をエッチングにより所望の形にアイランド化し、研磨処理後のポリSi膜2aを形成した。

【0026】次に、図1(c)に示すように、この研磨処理後のポリSi膜2a上にゲート絶縁膜となるF原子を含むSiO₂膜3を成膜する。この実施の形態では、F原子を含むSiO₂膜3をTEOSガス(Tetra-Ethyl-Ortho-Silicate, Si(OC₂H₅)₄)ガスとCF₄ガスを用いたプラズマCVD法により、膜厚50nm~150nm程度、例えば100nmの厚みに成膜した。プラズマCVD法による成膜条件は、基板温度300℃、反応圧力1.0 Torr、TEOS流量5sccm、O₂流量200sccm、CF₄流量20sccm、RFパワー200Wで行った。

【0027】なお、F原子を含むSiO₂膜3は、低温成膜が可能であれば、リモートプラズマCVD法、LPCVD法、AP(Atmospheric Pressure)CVD法等を用いて成膜してもよい。また、TEOSガスの代わりに、SiH₄ガスとO₂ガスを用いてSiO₂膜を成膜してもよい。また、CF₄ガスの代わりにF₂等のF原子を含むガスを用いてもよい。

【0028】次に、図1(d)に示すように、ゲート絶縁膜3上にゲート電極4を形成する。この実施の形態では、ゲート絶縁膜3上に膜厚400nm程度のAlTi膜をスパッタリング法により成膜し、所望の形状にパターニングしてゲート電極4を形成した。なお、ゲート電極4は、Ta、Al、AlSi、AlTi、AlSc等のAlを含む金属を用いることができる。

【0029】次に、ゲート電極4の表面を陽極酸化して、陽極酸化膜5を形成する。この実施の形態では、陽極酸化膜5の膜厚は、50nm~500nm程度、例えば200nmになるようにした。

【0030】続いて、ゲート電極4及び陽極酸化膜5をマスクとして、研磨処理後のポリSi膜2aに不純物元

素(Nchの場合はリン、Pchの場合はボロン)を自己整合的にドーピングしてソース領域6及びドレイン領域6を形成する。この実施の形態では、不純物元素としてリンを約 $1 \sim 5 \times 10^{15}$ ion/cm²の注入量、10KeV~100KeVのエネルギーでイオンを注入した。この不純物を、室温でレーザーパワー300mJ/cm²程度の条件でレーザー活性化することにより、ソース領域6及びドレイン領域6を形成した。

【0031】その後、図1(e)に示すように、ゲート電極4及び陽極酸化膜5を覆うように層間絶縁膜7を形成する。この実施の形態では、膜厚400nm程度のSiO₂膜をTEOSガスを用いたプラズマCVD法あるいはAPCVD法により成膜して層間絶縁膜7とした。次に、ゲート絶縁膜3及び層間絶縁膜7のソース領域6及びドレイン領域6上の部分にコンタクトホールを形成し、層間絶縁膜7上に引き出し電極8を形成してTFTを完成する。この実施の形態では、アルミニウムを用いて引き出し電極8を形成した。さらに、保護膜としてSiN膜またはSiO₂膜をプラズマCVD法により成膜して、コンタクト部をエッチングした後、ポリSi膜の欠陥の低減のために、H₂又はH₂プラズマ雰囲気中、約300℃で1時間のアニール処理により、ポリSi膜の水素化を行う。

【0032】図2は、ポリSi膜の膜厚が50nmで平均面粗さ(Ra)=10nm時に研磨を行って、平均面粗さ(Ra)を低減させた時の平均面粗さ(Ra)とTFTのS係数の関係を示す。

【0033】ここで、S係数とは、TFTのドレイン電流-ゲート電圧特性において、ドレイン電流値を一桁上げるために要するゲート電圧値の割合を表している。よって、このS係数の値が小さいことは、TFTを動作させるのに必要なドレイン電流を得るのに、小さなゲート電圧でよいことを表している。したがって、このS係数が小さい値であることは、TFT特性が良好であることを表している。例えば、TFTのオン電圧が小さくできること、さらに電力変換損失が小さいため低消費電力化ができること、またTFTの動作速度を高速化すること等に関係している。

【0034】また、本発明において、ポリSi膜の表面凹凸の粗さは、平均面粗さ(Ra)によって定義される。平均面粗さ(Ra)とは、基準面(指定面の高さの平均値となるフラット面)から指定面までの偏差の絶対値を平均した値であり、数1で表される。

【0035】

【数1】

10

20

30

40

$$R a = \frac{1}{S_0} \iint | F (X , Y) - Z_0 | d X d Y$$

【0036】ここで、 S_0 は基準面の面積、 Z_0 は基準面の高さ、 $F(X, Y)$ は座標 (X, Y) における指定面の高さを表す。なお、平均面粗さ (Ra) は、原子間力顕微鏡(AFM)によって、 $10\mu m$ 以下の測定エリアに対して測定された値であれば、サブnmオーダーまでの測定信頼性がある。

【0037】図2によれば、ポリSi膜の表面凹凸を研磨したTFTは、ポリSi膜の表面凹凸の未研磨のTFTに比べて、S係数が低くなっている。特に、平均面粗さ (Ra) が $1nm$ 以下において、S係数が著しく低減していることがわかる。このことから、ポリSi膜の表面凹凸を研磨することにより、TFT特性を改善することができる。

【0038】図3は、研磨前のポリSi膜の膜厚が $20nm \sim 100nm$ 、平均面粗さ (Ra) が $3nm \sim 10nm$ の膜と、研磨後のポリSi膜の膜厚が $20nm \sim 100nm$ 、平均面粗さ (Ra) を $0.3nm$ 程度にした時の膜厚とTFTのS係数の関係を示す。図3によれば、ポリSi膜の膜厚が $30nm \sim 50nm$ のTFTは、S係数が大きく低減していることがわかる。

【0039】このようにしてレーザーアニール後にポリSi膜の表面研磨を行ったTFT特性は、ポリSi膜の膜厚を $30nm \sim 50nm$ にすることにより、優れた特性と信頼性を備えたTFTを得ることができる。

【0040】さらに、表面研磨後の表面凹凸の平均面粗さ (Ra) は、 $1nm$ 以下に平坦化されていることが好ましく、このことにより、一層優れた特性と信頼性を備えたTFTを得ることができる。

【0041】

【発明の効果】本発明の絶縁性基板上にポリSi膜をチャネルとして用いる半導体装置の製造方法は、前記絶縁性基板上にアモルファスSi膜を $100nm$ 以下に形成する工程と、前記アモルファスSi膜をレーザーアニールによって多結晶化してポリSi膜とする工程と、前記ポリSi膜の表面凹凸を研磨処理により低減する工程を備えているので、アモルファスSi膜を $100nm$ 以下に形成することで、レーザー結晶化の時の結晶粒の制御がしやすく、さらに研磨により平坦化したポリSi層をチャネルに用いることで、TFTのS係数を小さくすることができ、優れたTFT特性を得ることができる。また、ポリSi表面の平坦化によりポリSi表面での電界集中を低減することで、ゲート絶縁膜へのホットエレクトロンの注入に対して強くなるため、リーク電流を低減し、信頼性の優れたTFTを得ることができる。

【0042】また、前記表面凹凸を低減したポリSi膜

は、膜厚を $30nm$ 以上にすることにより、ソース領域及びドレイン領域の低抵抗化が可能になり、膜厚を $50nm$ 以下にすることにより、レーザーアニールによる優れた結晶性を得ることができるので、ポリSi膜の膜厚は $30nm \sim 50nm$ にするのが好ましい。

【0043】また、前記表面凹凸を低減したポリSi膜は、表面凹凸の平均面粗さ (Ra) を $1nm$ 以下にしたので、TFTのS係数を著しく低減することができる。さらに、ゲート電圧の印加の際に、ポリSi表面での電界集中を抑制し、ゲート絶縁膜へのホットエレクトロンの注入を抑制する効果が大きい。よって、TFTのON電圧を小さくでき、TFTのリークを防止することができる。

【0044】また、絶縁性基板上に、アモルファスSi膜を $100nm$ 以下に形成するので、レーザーアニールによって、膜厚方向に対してもグレインサイズが大きく均一に結晶化することができ、さらに、ポリSi膜の表面を研磨処理により膜厚を $30nm \sim 50nm$ にし、表面凹凸の平均面粗さ (Ra) を $1nm$ 以下にするので、研磨処理後のポリSi表面の結晶状態も研磨前と同様にグレインサイズが大きく均一で優れており、よって、TFTの移動度を大きくすることができ、TFT特性を良好にすることができる。さらにポリSi表面が平坦化されているため、ポリSi表面での電界集中により発生するホットエレクトロンのゲート絶縁膜への注入を抑制することができる。よって、リーク電流の低減およびゲート絶縁膜の耐圧の低下を抑制し、信頼性の高いTFTを得ることができる。

【0045】また、絶縁性基板上に、ポリSi膜を膜厚が $30nm \sim 50nm$ で形成し、前記ポリSi膜の表面凹凸の平均面粗さ (Ra) を $1nm$ 以下にし、前記ポリSi膜をチャネルとして半導体装置を構成したので、ポリSi膜は、結晶状態に優れ、表面状態が平坦化されているため、素子特性及び信頼性に優れた半導体装置を得ることができる。さらに、この半導体装置を適用した液晶表示装置においては、画素スイッチング特性の向上、周辺駆動回路を構成するTFTの高性能化及び高集積化を図ることができ、ドライバモノリシック型の液晶表示装置においても高性能化することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るチャネルポリSi膜及びTFTの製造方法を示す工程断面図である。

【図2】本発明の実施の形態及び比較例により作製した表面研磨前後のTFT特性におけるS係数の表面凹凸依存性を表す説明図である。

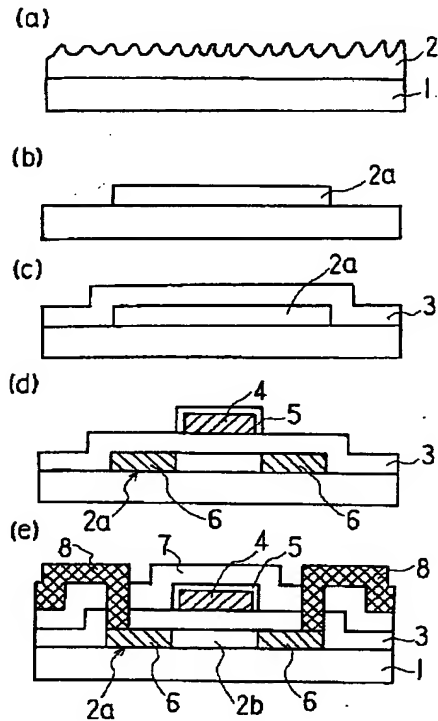
【図 3】本発明の実施の形態及び比較例により作製した表面研磨前後の S 係数の膜厚依存性を表す説明図である。

【符号の説明】

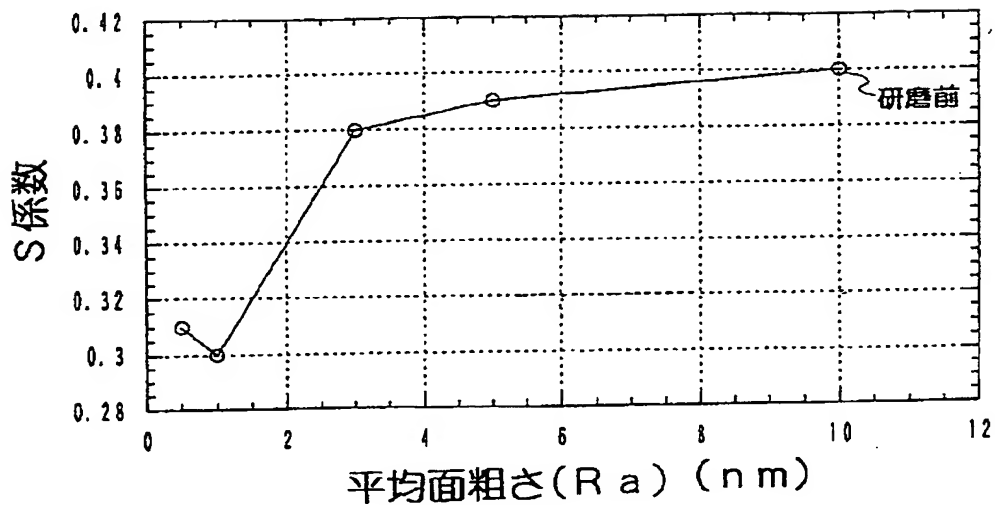
- 1 絶縁性基板
2 ポリ S i 膜
2 a 研磨処理後のポリ S i 膜

- 3 ゲート絶縁膜
4 ゲート電極
5 陽極酸化膜
6 ソース領域及びドレイン領域
7 層間絶縁膜
8 引き出し電極

【図 1】



【図 2】



【図3】

